

Springer-Verlag Berlin Heidelberg GmbH

W. Schiffmann · R. Schmitz

Technische Informatik 2

Grundlagen der Computertechnik

3., überarbeitete Auflage
mit 146 Abbildungen



Springer

PD Dr.-Ing. Wolfram Schiffmann
Dipl.-Phys. Robert Schmitz

Universität Koblenz-Landau
Institut für Physik
Rheinau 1
D-56075 Koblenz

Die Deutsche Bibliothek – Cip-Einheitsaufnahme
Technische Informatik [Medienkombination]/ W. Schiffmann ; R. Schmitz ; J. Weiland.

(Springer-Lehrbuch)

Bd. 1 und 2 verf. von W. Schiffmann ; R. Schmitz

2. Grundlagen der Computertechnik.- 3. , überarb. Auflage 1999

ISBN 978-3-540-63404-1

ISBN 978-3-662-10241-1 (eBook)

DOI 10.1007/978-3-662-10241-1

Dieses Werk ist urheberrechtlich geschützt. Die dadurch begründeten Rechte, insbesondere die der Übersetzung, des Nachdrucks, des Vortrags, der Entnahme von Abbildungen und Tabellen, der Funksendung, der Mikroverfilmung oder Vervielfältigung auf anderen Wegen und der Speicherung in Datenverarbeitungsanlagen, bleiben, auch bei nur auszugsweiser Verwertung, vorbehalten. Eine Vervielfältigung dieses Werkes oder von Teilen dieses Werkes ist auch im Einzelfall nur in den Grenzen der gesetzlichen Bestimmungen des Urheberrechtsgesetzes der Bundesrepublik Deutschland vom 9. September 1965 in der jeweils geltenden Fassung zulässig. Sie ist grundsätzlich vergütungspflichtig. Zuwiderhandlungen unterliegen den Strafbestimmungen des Urheberrechtsgesetzes.

© Springer-Verlag Berlin Heidelberg 1992, 1994 and 1999

Ursprünglich erschienen bei Springer-Verlag Berlin Heidelberg New York 1999

Die Wiedergabe von Gebrauchsnamen, Handelsnamen, Warenbezeichnungen usw. in diesem Buch berechtigt auch ohne besondere Kennzeichnung nicht zu der Annahme, daß solche Namen im Sinne der Warenzeichen- und Markenschutz-Gesetzgebung als frei zu betrachten wären und daher von jedermann benutzt werden dürften.

Sollte in diesem Werk direkt oder indirekt auf Gesetze, Vorschriften oder Richtlinien (z.B. DIN, VDI, VDE) Bezug genommen oder aus ihnen zitiert worden sein, so kann der Verlag keine Gewähr für die Richtigkeit, Vollständigkeit oder Aktualität übernehmen. Es empfiehlt sich, gegebenenfalls für die eigenen Arbeiten die vollständigen Vorschriften oder Richtlinien in der jeweils gültigen Fassung hinzuzuziehen.

Umschlaggestaltung: design & production, Heidelberg

Satz: Druckfertige Vorlage der Autoren; Herstellung: ProduServ GmbH, Berlin

SPIN: 10640064

62/3020 - 5 4 3 2 1 0 - Gedruckt auf säurefreiem Papier

Vorwort zur 3. Auflage

Der vorliegende Band 2 des Buches **Technische Informatik** entstand aus Skripten zu Vorlesungen, die wir an der Universität Koblenz für Informatikstudenten gehalten haben. Es ist unser Anliegen zu zeigen, wie man elektronische Bauelemente nutzt, um Rechnersysteme zu realisieren. Mit dem dargebotenen Stoff soll der Leser in die Lage versetzt werden, die technischen Möglichkeiten und Grenzen solcher Systeme zu erkennen. Dieses Wissen hilft ihm einerseits, die Leistungsmerkmale heutiger Rechnersysteme besser zu beurteilen und andererseits künftige Entwicklungen richtig einzuordnen. Der Stoff ist vom Konzept her auf das Informatikstudium ausgerichtet — aber auch für alle diejenigen geeignet, die sich intensiver mit der Computerhardware auseinandersetzen möchten. Somit können z.B. auch Elektrotechniker oder Maschinenbauer von dem vorliegenden Text profitieren.

Für die Lektüre genügen Grundkenntnisse in Physik und Mathematik. Die Darstellung des Stoffes erfolgt „bottom-up“, d.h. wir beginnen mit den grundlegenden physikalischen Gesetzen und beschreiben schließlich alle wesentlichen Funktionseinheiten, die man in einem Rechnersystem vorfindet.

Der Stoff wurde auf insgesamt drei Bände aufgeteilt: Der Band 1 **Technische Informatik – Grundlagen der digitalen Elektronik** führt zunächst in die für die Elektronik wesentlichen Gesetze der Physik und Elektrotechnik ein. Danach werden Halbleiterbauelemente und digitale Schaltungen behandelt. Der Band 1 schließt mit dem Kapitel über einfache Schaltwerke, wo dann der vorliegende zweite Band **Technische Informatik — Grundlagen der Computertechnik** anknüpft. Als Ergänzung zu den beiden Lehrbüchern gibt es mittlerweile einen weiteren Band **Technische Informatik — Übungsbuch mit Diskette**.

Manche Aufgabenstellungen für Schaltwerke sind so komplex, daß die Schaltwerke nicht mehr mit Zustandstabellen entwickelt werden können. Im Kapitel *Komplexe Schaltwerke* wird in das Konzept der kooperierenden Schaltwerke eingeführt. Der Entwurf und die Funktion solcher Schaltwerke wird an Beispielen demonstriert.

Die überwiegende Zahl heutiger Computer arbeitet nach dem von NEUMANN-Operationsprinzip, das im Kapitel *von NEUMANN-Rechner* vorgestellt wird. Die grundlegenden Funktionseinheiten eines solchen Rechners werden beschrieben und ihr Einfluß auf eine Prozessorarchitektur diskutiert.

Alle modernen Prozessoren nutzen Hardware-Parallelität zur Leistungssteigerung, wie z.B. Coprozessoren für Gleitkomma-Arithmetik oder direkter Speicherzugriff zur Ein-/Ausgabe. Im Kapitel *Hardware-Parallelität* werden neben solchen Coprozessoren auch das Pipeline-Prinzip und Array-Rechner vorgestellt. Diese beiden Architekturmerkmale findet man sowohl bei neueren Mikroprozessoren als auch bei sogenannten Supercomputern.

Neu in der vorliegenden Ausgabe ist das Kapitel *Processorarchitektur*. Hier wird auf die drei Ebenen der Rechnerarchitektur eingegangen. Die Befehls(satz)architektur legt die Schnittstelle zwischen Software und Hardware fest. Eine einmal definierte Befehlsarchitektur kann auf verschiedene Arten implementiert werden. Zunächst muß sich der Rechnerarchitekt die logische Organisation zur Umsetzung der Befehlsarchitektur überlegen. Meist teilt man hierzu den Entwurf in Datenpfad- und Steuerungsstruktur auf. Damit der Prozessorentwurf nicht nur auf dem Papier existiert, muß er in Halbleitertechnik realisiert werden. Die resultierende Prozessorleistung ergibt sich schließlich aus dem Zusammenwirken der Entwurfsschritte auf den drei Ebenen *Befehlsarchitektur* sowie *logischer* und *technologischer* Implementierung.

Im Kapitel *CISC-Prozessoren (Complex Instruction Set Computer)* werden zunächst die Merkmale eines Prozessortyps erläutert, dessen Befehlsarchitektur ein besonders komfortables Programmieren auf Maschinenbefehlsebene zum Ziel hat. Als typischer Vertreter dieser Klasse wird der Motorola 68000 beschrieben und die Entwicklungsgeschichte zum neusten Modell 68060 wird zusammengefaßt.

Ende der siebziger Jahre wurde die Verwendung komplexer Befehlssätze neu überdacht. Man untersuchte die von Compilern erzeugten Maschinenbefehle und stellte fest, daß bei CISCs nur ein Bruchteil der verfügbaren Befehle verwendet wird. Diese Situation war der Ausgangspunkt für die Entwicklung neuartiger Processorarchitekturen, die man wegen ihres einfachen Befehlsatzes als *RISC-Prozessoren (Reduced Instruction Set Computers)* bezeichnet. Das Kapitel über diesen Prozessortyp wurde für die aktuelle Ausgabe vollständig überarbeitet und größtenteils neu geschrieben. Nach einer kurzen historischen Einführung werden das Befehlspipelining und die dabei auftretenden Pipelinekonflikte behandelt. Dann wird gezeigt, wie diese Pipelinekonflikte software- oder hardwaremäßig beseitigt werden können. Optimierende Compiler sorgen durch eine entsprechende Befehlsumordnung dafür, daß die zur Behebung von Konflikten notwendigen Leerbefehle durch nützliche Befehle ersetzt werden können. Die Beseitigung von Konflikten, die zur Laufzeit des Programms auftreten ist jedoch nur durch zusätzliche Hardware möglich. Durch dynamische Befehlsplanung mit Hilfe sogenannter Reservierungsstationen gelingt es, Prozessoren mit mehreren Funktionseinheiten zu realisieren, die gleichzeitig mehrere Maschinenbefehle ausführen können. Alle heutigen Hochleistungsprozessoren nutzen *Superskalarität*, um ihre Verarbeitungsleistung zu maximieren. Als Beispiel für einen superskalaren RISC-Prozessor wird der PowerPC 620 vorgestellt.

Ebenfalls neu in der dritten Auflage ist das Kapitel *Leistungsbewertung*. Hier werden verschiedene Verfahren zum Vergleich von Computersystemen diskutiert. Zum Schluß werden die Leistungsdaten der SPEC95-Benchmarks von sechs aktuellen Prozessorarchitekturen miteinander verglichen.

Das Kapitel *Kommunikation* behandelt Techniken zur Datenübertragung innerhalb eines Computers und zwischen verschiedenen Computersystemen. Die Art der Datenübertragung hängt stark von der Entfernung der zu verbindenden Komponenten ab. Wir unterscheiden die parallelen und seriellen Verbindungen. Zu jeder Klasse werden zunächst die Prinzipien und dann typische Vertreter beschrieben. Wir beginnen bei prozessornaher Kommunikation und kommen schließlich über die lokalen Netze (LANs) zu den Weitverkehrsnetzen (WANs).

Heutige Computer verwenden eine Mischung verschiedener Speichertechnologien. Diese Speicher unterscheiden sich bezüglich Speicherkapazität, Zugriffszeit und Kosten. Im Kapitel *Speicher* werden zunächst die physikalischen Prinzipien von Halbleiter-Speichern und magnetomotorischen Speichern wiederholt, die bereits in Band 1 behandelt wurden. Gleichzeitig wird gezeigt, wie die gespeicherte Information bei diesen Speicherarten organisiert wird. Dann werden verschiedene Methoden zur Speicherverwaltung beschrieben. In diesem Zusammenhang wird auch der Aufbau und die Funktion von Cache-Speichern erläutert.

Bei der *Ein-/Ausgabe* kann man digitale und analoge Schnittstellen unterscheiden. Für die wichtigsten Vertreter aus diesen beiden Klassen wird die Funktionsweise erklärt. Zum Schluß dieses zweiten Bandes werden die Funktionsprinzipien ausgewählter Peripheriegeräte beschrieben und durch Abbildungen veranschaulicht.

Im wesentlichen wurde Band 1 von Robert Schmitz und Band 2 von Wolfram Schiffmann verfaßt.

Wir haben uns bemüht, zu den einzelnen Themen nur die grundlegenden Prinzipien auszuwählen und durch einige Beispiele zu belegen. Wir hoffen, daß es uns gelungen ist, den Stoff klar und verständlich darzustellen. Trotzdem möchten wir die Leser auffordern, uns ihre Ergänzungs- und Verbesserungsvorschläge oder Anmerkungen mitzuteilen. Im Text werden immer dann englischsprachige Begriffe benutzt, wenn uns eine Übersetzung ins Deutsche nicht sinnvoll erschien. Wir denken, daß diese Lösung für den Leser hilfreich ist, da die Literatur über Computertechnik überwiegend in Englisch abgefaßt ist.

Bei der mühevollen Arbeit, das Manuskript der ersten Auflage mit dem \LaTeX -Formatiersystem zu setzen bzw. Bilder zu zeichnen, wurden wir von Sabine Döring, Christa Paul, Inge Pichmann und Jürgen Weiland unterstützt. Unsere Kollegen Dr. Alois Schütte und Prof. Dr. Dieter Zöbel ermunterten uns zum Schreiben dieses Textes und gaben uns wertvolle Hinweise und Anregungen. Prof. Dr. Herbert Druxes, Leiter des Instituts für Physik, förderte unser Vorhaben.

Die freundliche Aufnahme der ersten beiden Auflagen gibt uns nun die Möglichkeit, das Buch erneut in überarbeiteter Form herauszugeben. Neben Korrekturen und den o.g. Erweiterungen haben wir uns bemüht, die Anregungen aus dem Leserkreis nun auch in die dritte Auflage von Band 2 aufzunehmen.

Für ihre Mitarbeit und Unterstützung möchten wir allen herzlich danken.

Besonders sei an dieser Stelle auch unseren Familien für Ihre Geduld und Ihr Verständnis für unsere Arbeit gedankt.

Koblenz, im September 1998

Wolfram Schiffmann
Robert Schmitz

Inhaltsverzeichnis

1. Komplexe Schaltwerke	1
1.1 Aufbau eines Schaltwerks	1
1.2 Zeitverhalten von Schaltwerken	2
1.2.1 Dynamische Flipflop–Kenngrößen	3
1.2.2 Rückkopplungsbedingungen	5
1.3 Entwurf von Schaltwerken	7
1.4 Kooperierende Schaltwerke	7
1.5 Konstruktionsregeln für Operationswerke	9
1.6 Entwurf eines Steuerwerks	10
1.7 Beispiel: $Y = aX + b$	11
1.7.1 Operationswerk I	12
1.7.2 Operationswerk II	14
1.7.3 Operationswerk III	16
1.8 Simulationsprogramm eines Operationswerks	17
1.8.1 Aufbau des Operationswerks	17
1.8.2 Benutzung des Programms	17
1.8.3 Betriebsarten und Befehle	19
1.8.4 Beispielprogramme	21
2. von NEUMANN–Rechner	25
2.1 Grundkonzept	25
2.2 Interne und externe Busse	31
2.3 Prozessorregister	33
2.3.1 Stackpointer	34
2.3.2 Unterprogramme	35
2.3.3 Interrupts	37
2.4 Rechenwerk	44
2.4.1 Daten–Register	44
2.4.2 Adreß–Rechnungen	45

2.4.3	Datenpfade	45
2.4.4	Schiebemultiplexer	46
2.4.5	Dual-Addition	47
2.4.6	Logische Operationen	56
2.4.7	Status-Flags	57
2.5	Leitwerk	59
2.5.1	Mikroprogrammierung	60
2.5.2	Grundstruktur eines Mikroprogramm-Steuerwerks	60
2.5.3	Mikrobefehlsformat	61
2.5.4	Adreßerzeugung	62
2.6	Mikroprogrammierung einer RALU	64
2.6.1	Aufbau der RALU	64
2.6.2	Benutzung des Programms	65
2.6.3	Setzen von Registern	65
2.6.4	Steuerwort der RALU	65
2.6.5	Takten und Anzeigen der RALU	66
2.6.6	Statusregister und Sprungbefehle	67
2.6.7	Kommentare und Verkettung von Befehlen	68
2.6.8	Beispielprogramme	68
3.	Hardware-Parallelität	73
3.1	Direkter Speicherzugriff	74
3.2	Ein-/Ausgabe Prozessoren	76
3.3	HARVARD-Architektur	77
3.4	Gleitkomma-Einheiten	77
3.4.1	Gleitkomma-Darstellung	78
3.4.2	Beispiel: IEEE-754 Standard	80
3.4.3	Anschluß von Gleitkomma-Einheiten	82
3.5	Klassifikation nach Flynn	83
3.6	Pipeline-Prozessoren	84
3.6.1	Aufbau einer Pipeline	85
3.6.2	Time-Space Diagramme	86
3.6.3	Bewertungsmaße	86
3.6.4	Pipeline-Arten	88
3.6.5	Beispiel: Gleitkomma-Addierer	90
3.7	Array-Prozessoren (Feldrechner)	93
3.7.1	Verbindungs-Netzwerk	94
3.7.2	Shuffle-Exchange Netz	96
3.7.3	Omega-Netzwerk	97
3.7.4	Beispiel: Matrix-Multiplikation	97

4. Prozessorarchitektur	101
4.1 Befehlsarchitektur	103
4.1.1 Speicherung von Operanden	104
4.1.2 Speicheradressierung	106
4.1.3 Adressierungsarten	108
4.1.4 Datenformate	111
4.1.5 Befehlsarten	112
4.1.6 Befehlsformate	113
4.2 Logische Implementierung	114
4.2.1 CISC	114
4.2.2 RISC	114
4.3 Technologische Entwicklung	115
4.4 Prozessorleistung	116
5. CISC-Prozessoren	119
5.1 Merkmale von CISC-Prozessoren	120
5.2 Motorola 68000	122
5.2.1 Datenformate	122
5.2.2 Register	122
5.2.3 Organisation der Daten im Hauptspeicher	124
5.2.4 Adressierungsarten	124
5.2.5 Befehlssatz	125
5.2.6 Exception Processing	130
5.2.7 Entwicklung zum 68060	132
6. RISC-Prozessoren	135
6.1 Architekturmerkmale	136
6.1.1 Erste RISC-Prozessoren	136
6.1.2 RISC-Definition	137
6.1.3 Befehls-Pipelining	137
6.2 Aufbau eines RISC-Prozessors	139
6.3 Pipelinekonflikte	139
6.3.1 Struktureller Konflikt	142
6.3.2 Datenflußkonflikte	142
6.3.3 Laufzeitkonflikte	144
6.3.4 Steuerflußkonflikte	146
6.4 Optimierende Compiler	147
6.4.1 Minimierung von strukturellen Konflikten	148
6.4.2 Beseitigung von NOPs bei Datenflußkonflikten	148

6.4.3	Beseitigung von NOPs bei statischen Laufzeitkonflikten	149
6.4.4	Beseitigung von NOPs bei Steuerflußkonflikten	150
6.5	Superpipelining	150
6.6	Superskalare RISC-Prozessoren	151
6.6.1	Single Instruction Issue	152
6.6.2	Multiple Instruction Issue	152
6.6.3	Hardware zur Minimierung von Steuerflußkonflikten . .	159
6.6.4	PowerPC 620	160
6.7	VLIW-Prozessoren	163
7.	Leistungsbewertung	165
7.1	MIPS- und MFLOPS-Angaben	166
7.2	Benchmarks	168
7.2.1	Reale Anwendungen	168
7.2.2	LINPACK-Benchmark	169
7.2.3	Whetstone-Benchmark	169
7.2.4	Dhrystone-Benchmark	170
7.2.5	Kurzprogramme	170
7.3	SPEC-Benchmarks	171
8.	Kommunikation	173
8.1	Parallele und serielle Busse	174
8.2	Busprotokolle	175
8.3	Verbindungstopologien	175
8.4	Parallelbusse	178
8.4.1	Busfunktionen und Businterface	179
8.4.2	Mechanischer Aufbau	181
8.4.3	Elektrische Realisierung	181
8.4.4	Busarbitrierung	184
8.4.5	Übertragungsprotokolle	189
8.4.6	Beispiele für standardisierte Parallelbusse	196
8.5	Serielle Übertragung	202
8.5.1	Verwürfler und Entwürfler	202
8.5.2	Betriebsarten	203
8.5.3	Synchrone Übertragung	204
8.5.4	Asynchrone Übertragung	205
8.5.5	Leitungscode	205
8.6	Basisbandübertragung	207
8.6.1	Ethernet-LAN	208

8.6.2	Token-Ring	213
8.6.3	Token-Bus	214
8.6.4	Kopplung von LANs	214
8.7	Breitbandübertragung	216
8.7.1	Übertragungssicherung	217
8.7.2	Zyklische Blocksicherung (CRC)	218
8.8	WANs	220
8.8.1	Vermittlungstechnik	221
8.8.2	Betrieb von WANs	222
8.9	OSI-Modell	225
9.	Speicher	229
9.1	Halbleiterspeicher	231
9.1.1	Speicher mit wahlfreiem Zugriff	232
9.1.2	Pufferspeicher mit seriellm Zugriff	242
9.1.3	Assoziativspeicher (CAM)	244
9.2	Magnetomotorische Speicher	245
9.2.1	Speicherprinzip	246
9.2.2	Schreiben	247
9.2.3	Lesen	247
9.2.4	Speichermedien	248
9.2.5	Aufzeichnungsverfahren	249
9.2.6	Peak-Shift-Effekt	255
9.2.7	Formatierung	257
9.2.8	Festplatten-Controller	259
9.3	Speicherverwaltung	261
9.3.1	Segmentierung	262
9.3.2	Paging	263
9.3.3	Adreßumsetzung	264
9.3.4	Hauptspeicherzuteilung (Allocation)	266
9.3.5	Hardware-Unterstützung virtueller Speicher	269
9.3.6	Caches	271
9.3.7	Datei-Organisation	276

10. Ein-/Ausgabe und Peripheriegeräte	279
10.1 Parallele Ein-/Ausgabe	279
10.2 Serielle Ein-/Ausgabe	281
10.2.1 Asynchronbetrieb	281
10.2.2 Synchronbetrieb	283
10.3 Zeitgeber (Timer)	283
10.4 Analoge Ein-/Ausgabe	284
10.4.1 D/A-Umsetzer	284
10.4.2 A/D-Umsetzer	289
10.5 Funktionsprinzipien ausgewählter Peripheriegeräte	294
10.5.1 Mäuse	294
10.5.2 Video-Monitore	296
10.5.3 Drucker	300
 Literaturverzeichnis	 305
 A. Kurzreferenz Programm opw	 309
 B. Kurzreferenz Programm ralu	 311
 C. Kurzbeschreibungen klassischer RISC-Prozessoren	 313
C.1 IBM 801	313
C.2 Berkeley RISC II	313
C.3 Stanford MIPS	314
C.4 INMOS Transputer T414/T800	314
C.5 AMD 29000	315
C.6 SUN- 4/200 SPARC	315
C.7 Intel 80860	316
C.8 Motorola 88000	316
 D. Abkürzungen	 317
 Sachverzeichnis	 321

Auszug des Inhalts von Band 1

1. Grundlagen der Elektrotechnik
2. Halbleiterbauelemente
3. Elektronische Verknüpfungsglieder
4. Schaltnetze
5. Speicherglieder
6. Schaltwerke
7. Integrierte Schaltungen