

## Informatik-Fachberichte 173

---

Herausgegeben von W. Brauer  
im Auftrag der Gesellschaft für Informatik (GI)

Michael H. Schulz

# Testmustergenerierung und Fehlersimulation in digitalen Schaltungen mit hoher Komplexität



Springer-Verlag  
Berlin Heidelberg New York  
London Paris Tokyo

**Autor**

Michael H. Schulz  
Lehrstuhl für Rechnergestütztes Entwerfen  
Technische Universität München  
Postfach 202420, 8000 München 2

**CR Subject Classifications (1987): B.6.2, B.7, B.7.3, I.2.6, I.2.8**

ISBN-13: 978-3-540-50051-3 e-ISBN-13: 978-3-642-73910-1

DOI: 10.1007/978-3-642-73910-1

Dieses Werk ist urheberrechtlich geschützt. Die dadurch begründeten Rechte, insbesondere die der Übersetzung, des Nachdrucks, des Vortrags, der Entnahme von Abbildungen und Tabellen, der Funksendung, der Mikroverfilmung oder der Vervielfältigung auf anderen Wegen und der Speicherung in Datenverarbeitungsanlagen, bleiben, auch bei nur auszugsweiser Verwertung, vorbehalten. Eine Vervielfältigung dieses Werkes oder von Teilen dieses Werkes ist auch im Einzelfall nur in den Grenzen der gesetzlichen Bestimmungen des Urheberrechtsgesetzes der Bundesrepublik Deutschland vom 9. September 1965 in der Fassung vom 24. Juni 1985 zulässig. Sie ist grundsätzlich vergütungspflichtig. Zuwiderhandlungen unterliegen den Strafbestimmungen des Urheberrechtsgesetzes.

© by Springer-Verlag Berlin Heidelberg 1988

## Vorwort

Dieses Buch beschreibt die Prinzipien der automatischen Testmuster-generierung und der schnellen Fehlersimulation in kombinatorischen oder mit einem Prüfbus ausgerüsteten VLSI-Schaltungen und benutzt hierfür eine präzise, formal konsistente und illustrative Darstellung. Darauf aufbauend wird eine Fülle neuer Methoden vorgestellt, die eine wesentliche Beschleunigung des Testmuster-generierungs- und Fehlersi-mulationsprozesses zur Folge haben. Der erzielte Fortschritt gegenüber dem Stand der Technik wird anhand einer Reihe von vergleichenden Untersuchungen nachgewiesen.

Die vorliegende Arbeit entstand während meiner Tätigkeit als wissen-schaftlicher Mitarbeiter am Lehrstuhl für Rechnergestütztes Entwerfen der Technischen Universität München.

Mein ganz besonderer Dank gilt dem Lehrstuhlinhaber, Prof. Dr.-Ing. K. Antreich, für die Möglichkeit zur Durchführung dieser Ar-beit, für seine fortwährende Unterstützung und für die zahlreichen Dis-kussionen, aus denen sich viele wertvolle Anregungen ergaben. Herrn Prof. Dr.-Ing. R. Saal danke ich für die Übernahme des Zweitreferates und das damit bekundete Interesse an dieser Arbeit.

Darüber hinaus möchte ich allen meinen Kollegen am Lehrstuhl für Rechnergestütztes Entwerfen, insbesondere aber der Forschungsgruppe „Testvorbereitung“, Dipl.-Ing. E. Auth, Dipl.-Ing. T. Krodell, Dipl.-Ing. D. Pellkofer und Dipl.-Ing. B. Seiß, für ihre stetige Unterstützung und die anregenden Diskussionen danken. Sie trugen ebenso wie die Mitarbeit aller meiner Diplomanden wesentlich zum Gelingen dieser Ar-beit bei. Frau S. Ömürbek danke ich für die sorgfältige Ausführung zahlreicher Zeichenarbeiten und für die von ihr aufgebrachte Geduld.

Mein Dank gilt ferner Dipl.-Ing. E. Trischler und Dipl.-Ing. T. Sarfert von der Siemens AG, München, für die zu jeder Zeit erfreu-liche Zusammenarbeit, die interessanten Diskussionen und die sich daraus ergebenden Anregungen, die diese Arbeit erheblich bereicherten. Abschließend danke ich Dr. F. Brglez von Bell Northern Research für seine fortwährende Kooperationsbereitschaft und die in gemeinsamen Veröffentlichungen von ihm eingebrachten Beiträge.

München, im Mai 1988

Michael H. Schulz

# Inhaltsverzeichnis

<b>1. Einleitung</b>	<b>1</b>
1.1. Allgemeine Aufgaben der Testvorbereitung	3
1.2. Fehlermodelle	4
1.3. Spezielle Aufgabenstellungen der Testvorbereitung	6
1.3.1. Automatische Testmustergenerierung	6
1.3.2. Fehlersimulation und Testsatzbewertung	7
1.3.3. Testbarkeitsanalyse	9
1.4. Testfreundliche Entwurfsmethoden	9
1.5. Stand der Technik	13
1.6. Ziele der Arbeit	19
<b>2. Struktur kombinatorischer Schaltungen</b>	<b>21</b>
2.1. Schaltung und Strukturgraph	21
2.2. Zerlegung in fanoutfreie Zonen	22
2.3. Spezielle Strukturmerkmale kombinatorischer Schaltungen	23
2.3.1. Unabhängige Fanout-Zweige	23
2.3.2. Flußdominanz und Dominanzbeziehungen	24
2.3.3. <i>Free Lines</i> , <i>Bound Lines</i> und <i>Head Lines</i>	27
<b>3. Schnelle Fehlersimulation in kombinatorischen Schaltungen</b>	<b>29</b>
3.1. Grundlagen der Fehlersimulation	30
3.2. Methoden zur Beschleunigung der Fehlersimulation	37
3.2.1. Gutsimulation mittels paralleler Signalauswertung	37
3.2.2. Einfachpfadsensibilisierung mittels paralleler Signalauswertung	38
3.2.3. Beschleunigtes <i>Fast Fault Grading</i>	40
3.2.4. Überprüfungskriterium für fanoutfreie Zonen	43
3.2.5. Ausnutzung struktureller Schaltungsmerkmale	46

3.2.6. Fehlersimulation der Fanout-Stämme	49
3.3. Mittlerer Rechenzeitaufwand	53
3.4. Experimentelle Ergebnisse und vergleichende Untersuchungen	56
<b>4. Automatische Testmuster-generierung in kombinatorischen Schaltungen</b>	<b>65</b>
4.1. Deterministische Testmuster-generierung als Suchproblem mit finitem Suchraum	66
4.1.1. Problemformulierung	66
4.1.2. Entscheidungsbaum und <i>Backtracking</i>	69
4.1.3. Globale Ziele und Strategien	73
4.2. Grundlagen und Definitionen	76
4.2.1. Wertebereich	76
4.2.2. Vollständigkeit	78
4.2.3. <i>Redundant Faults</i> und <i>Aborted Faults</i>	78
4.2.4. Inkonsistente Wertzuweisung und widersprüchliche Wertzuweisung	79
4.2.5. D-Front und potentieller Fehlereffekt-ausbreitungspfad	81
4.2.6. Dominante und nichtdominante logische Werte	82
4.3. Der deterministische Testmuster-generierungsalgorithmus	83
4.3.1. Grundsätzliche Vorgehensweise	83
4.3.2. Die Implikationsprozedur	87
4.3.2.1. Lokale Implikationen	87
4.3.2.2. Globale Implikationen	90
4.3.2.3. Lernen globaler Implikationen	93
4.3.3. Die Prozedur zur Durchführung der zwingend notwendigen Sensibilisierungsmaßnahmen	98
4.3.3.1. Strukturbezogene Sensibilisierungsmaßnahmen	99
4.3.3.2. Dynamische Berücksichtigung der Belegungssituation	105

4.3.4. Die <i>Multiple Backtrace</i> Prozedur	110
4.3.4.1. Testbarkeitsmaße	110
4.3.4.2. <i>Objectives</i>	112
4.3.4.3. Die Menge der initialen <i>Objectives</i>	113
4.3.4.4. Rückwärtsfortpflanzung der <i>Objectives</i>	114
4.3.4.5. Bestimmung eines Signals zur Durchführung einer optionalen Wertzuweisung	118
4.3.4.6. Aufbau des Entscheidungsbaums	121
4.3.4.6.1. Durchführung der optionalen Wertzuweisungen	121
4.3.4.6.2. Steuermechanismen und Heuristika	122
4.3.4.7. Wiederaufruf der <i>Multiple Backtrace</i> Prozedur	126
4.4. Das automatische Testmuster-generierungssystem SOCRATES	127
4.4.1. Erstellen der Zielfehlerliste	128
4.4.2. <i>Preprocessing</i> Phase	129
4.4.3. Testbarkeitsabschätzung	129
4.4.4. Zweiphasige Testmuster-generierung	131
4.4.5. Maximalzahl erlaubter <i>Backtrackings</i> und Testbarkeitsmaße	134
4.4.6. Kompaktierung des generierten Testsatzes	134
4.4.7. <i>Restart</i> -Modus	135
4.5. Experimentelle Ergebnisse und vergleichende Untersuchungen	137
5. Zusammenfassung und Ausblick	147
Vereinbarungen, Formelzeichen und Stichworte	152
Literaturverzeichnis	156
Anhang: Charakteristika der Benchmark-Schaltungen	164