

# Elektromagnetische Störfestigkeitsprobleme in integrierten Schaltungen aufgrund elektrostatischer Entladungen

T. Ostermann IEEE

Der vorliegende Beitrag beschäftigt sich mit elektromagnetischen Störfestigkeitsproblemen in Form von „Soft Failure“ in integrierten Schaltungen aufgrund von Störeinkopplungen in Ein- und Ausgangs-Padzellen aus den VDD Core und IO-Versorgungen im Bereich des Padframes. Als Testobjekt dient ein speziell entworfener Test-Chip in einer 180-nm-Technologie. Durch eine detaillierte Modellierung der Leitungen/Substrats des Test-ASIC mit entsprechenden RLC-Elementen können die jeweilige Messung mit einer Simulation verglichen und die Ergebnisse analysiert werden.

Schlüsselwörter: EMV; ESD; IC; Soft Failure

## **Electromagnetic susceptibility of integrated circuits due to electrostatic discharge.**

*The paper deals with electromagnetic susceptibility problems in terms of “Soft Failure” in integrated circuits due to interferences in input and output pad cells from the VDD core and IO supplies in the area of the pad frame. The test object is a specially designed test chip in a 180 nm technology. By a detailed modeling of the interconnects/substrate of the test ASIC with corresponding RLC elements the respective measurement can be compared with a simulation and the results analyzed.*

Keywords: EMC; ESD; IC; Soft Failure

Eingegangen am 14. September 2017, angenommen am 18. Dezember 2017, online publiziert am 9. Februar 2018  
© The Author(s) 2018. Dieser Artikel ist auf Springerlink.com mit Open Access verfügbar



## 1. Einleitung

Die Elektromagnetische Störfestigkeit (EMS) einer Integrierten Schaltung (IC) beschäftigt sich mit der Frage, inwieweit sich ein IC in einem elektromagnetischen Umfeld stören lässt bzw. korrekt funktioniert. Integrierte Schaltungen enthalten in der Regel Schutzstrukturen für den Fall von elektrostatischen Entladungen (ESD), um die Zerstörung der Schaltung zu verhindern. Hierbei geht es jedoch bezogen auf ICs standardmäßig um „harte Fehler“, d. h. dauerhafte Zerstörungen/Schädigungen des ICs selbst, besonders im Bereich der Verarbeitung von ICs beim Transport und Montage auf Leiterplatten. In diesem Fall ist der IC in der Regel nicht versorgt. Jedoch kann es bei Integrierten Schaltungen aufgrund von ESD und der hierdurch auftretenden Störpulse zur Störung des Funktion im Betrieb kommen. Diese Störungen müssen nicht dauerhaft sein, sondern es können z.B. Bit-Fehler auftreten. Diese Fehler werden zu den sogenannten „Soft Failures“ zusammengefasst [1, 2]. Eine zwingende Grundvoraussetzung hierbei ist, dass der IC versorgt ist.

Die ESD Schutzstrukturen, wie Dioden, Widerstände, gate grounded MOSFETs (ggMOSFET), RailClamps, usw. sind bei ICs in der Regel dafür ausgelegt, dass verhindert werden soll, dass der IC durch das ESD Ereignis zerstört wird. Zur Analyse werden als Standard beim ESD Test Integrierter Schaltungen HBM (Human Body Model) und CDM (Charged Device Model) Testpulse [3–5] verwendet. Der IC als Testobjekt ist bei diesen ESD Tests unversorgt. Dadurch können nur die „harten Fehler“ analysiert werden. Die ESD Schutzstrukturen sind daher nicht als Gegenmaßnahmen für „Soft Failures“

vorgesehen, sondern es ist die Frage, ob sie sich hier im Gegenteil nicht negativ auswirken.

Weiter werden ebenfalls Transmission Line Pulse (TLP) Generatoren als ESD Testpulse eingesetzt, wobei TLP Pulse mit Pulsbreiten von ~100 ns für Messungen im „HBM Bereich“ und VF-TLP Pulse (Very Fast TLP) mit Pulsbreiten von <10 ns für Messungen im „CDM Bereich“ verwendet werden [6]. In der Literatur gibt es inzwischen Beispiele für TLP Messungen von ICs im Betrieb [6, 7], jedoch sind dies bisher Einzelfälle für die Charakterisierung von „Soft Failures“. Eine generelle Charakterisierung von „Soft Failures“ im Bereich von ICs findet derzeit nicht statt und es sind auch bisher keine Normen für „Soft Failures“ Charakterisierungen im Bereich ESD auf IC Ebene vorhanden.

Im vorliegenden Beitrag werden anhand eines Test ASIC ESD Störungen im Betrieb und damit verbundene „Soft Failures“ analysiert. Diese „Soft Failures“ beziehen sich auf die IC Ebene im Gegensatz zur System/PCB Ebene.

## 2. Test-ASIC

Zur Analyse der „Soft Failures“ wurde ein Test ASIC in einer 180 nm Technologie entworfen und gefertigt. Abbildung 1 zeigt das Foto des Test ASIC. Die verwendete Strukturgröße ist jedoch

**Ostermann, Timm**, Johannes Kepler Universität Linz, Institut für Integrierte Schaltungen, Abteilung für energieeffiziente Schaltungen und Systeme, Altenberger Straße 69, 4040 Linz, Österreich (E-Mail: [tim.ostermann@jku.at](mailto:tim.ostermann@jku.at))

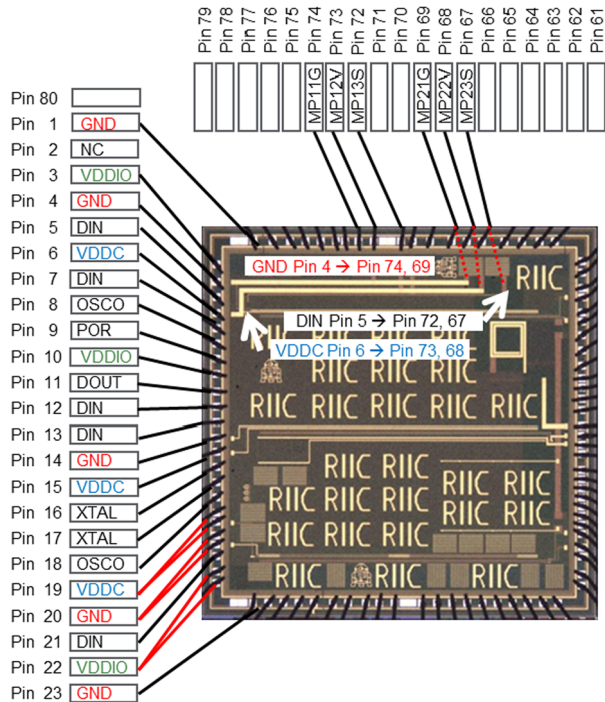


Abb. 1. Test-ASIC

hier nicht entscheidend, da die prinzipiellen Mechanismen auch bei kleineren Technologien wirksam sind. Die absoluten Störpegel/Empfindlichkeiten sind hier für die qualitative Analyse nicht entscheidend.

Der Test ASIC besteht aus einer „zu störenden“ Seite (Pin 1–Pin 23, linke Seite in Abb. 1) und drei „ruhigen“ Seiten zur Messung. Die „zu störende“ Seite beinhaltet u.a. 5 Ground Pins (Pin 1, 4, 14, 20 und 23, wobei Pin 23 als Doppel-Padzelle/Doppelbond auf einen Pin ausgeführt ist). Weiter sind 3 VDD Versorgungspins für den Core (Pin 6, 15 und 19) und 3 Versorgungspins für den IO-Versorgung enthalten. Ein Pin (Pin 19 VDDC bzw. Pin 22 VDDIO) ist jeweils wiederum als doppelte Padzelle (Doppelbond auf einen Pin zur Reduktion der Induktivität des Bonddrahtes) ausgeführt. Weitere Pins sind u.a. drei Eingangszellen für den Core und eine direkte Kombination einer Eingangs- mit einer Ausgangszelle (realisiert durch eine direkte Verbindungsleitung der beiden Padzellen im ASIC).

Für die Messungen sind im Test ASIC u.a. verschiedene Detektoren für Störungen der VDD/Ground/Signalleitungen und ein digitales On-Chip Scope enthalten. Weiter sind auf der oberen Seite des Test ASIC in Abb. 1 Pins als Messpunkte für Ground (Pin 69 und 74) und VDD Core (Pin 68 und 73) Versorgung, sowie Signal (Pin 67 und 72) enthalten. Diese sind direkt auf der höchsten Metall Ebene mit den entsprechenden Padzellen der linken Seite verbunden.

Bis auf die speziellen Mess-Padzellen der oberen Seite sind alle Padzellen als „Standard-Padzellen“ einer 180 nm Technologie ausgeführt mit einem entsprechenden „üblichen/state-of-the-art“ ESD Konzept. Dieses beinhaltet u.a. verschiedene Dioden, MOSFETs, Serienwiderstände und RailClamps als Schutzstrukturen gegen „Hard Failures“ im unversorgten Zustand des ASIC. Abbildung 2 zeigt den Test ASIC in einem CQFP Gehäuse.

### 3. Störpuls

Zur Analyse der „Soft Failures“ muss der ASIC während der Einkopplung der Störung und der nachfolgenden Messung versorgt

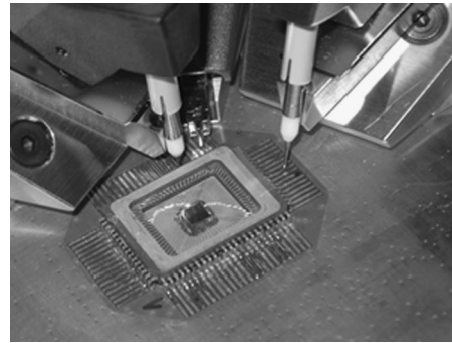


Abb. 2. Test-ASIC im Keramik-Gehäuse (CQFP) mit ESD-Probe und zwei Oszilloskop-Messspitzen

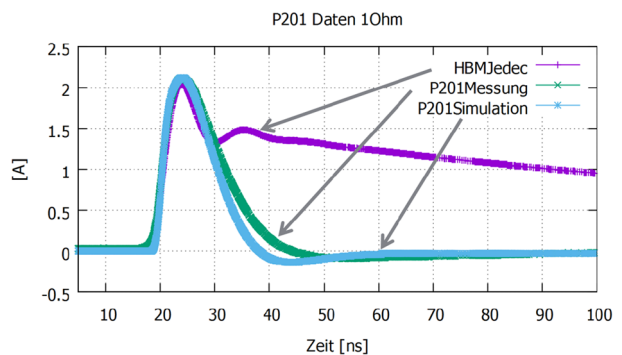


Abb. 3. Signal der verwendeten Störquelle bei 1 Ohm Belastung, Vergleich Messung und Simulation

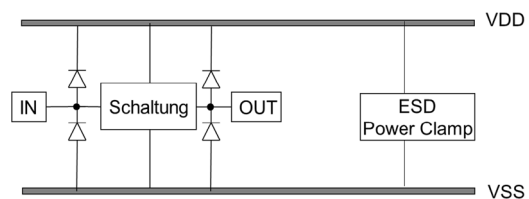


Abb. 4. Prinzip des globalen ESD-Schutzes

werden. Als Störquelle wird für diesen Beitrag eine im Gegensatz zum HBM [3] bzw. CDM [4] Testpuls zwar nicht normierte Störquelle verwendet, diese jedoch liefert sehr reproduzierbare Störsignale bzw. Messergebnisse. Zum Vergleich zwischen Messungen und Simulation wird die verwendete Störquelle in einer entsprechenden SPICE/Spectre RLC-Ersatzschaltung nachmodelliert. Als Quelle wird eine Pulsquelle verwendet. Über die Amplitude der Pulsquelle kann die entsprechende Höhe der Störampplitude eingestellt werden. Das Störsignal wird kapazitiv in die jeweilige Versorgung eingekoppelt.

Abbildung 3 zeigt den Vergleich zwischen Messung der Störquelle mit 1 Ohm Belastung und der Simulation der Störquelle unter Verwendung der Ersatzschaltung/Modellierung, wiederum mit 1 Ohm Belastung. Zum Vergleich ist auch ein HBM Puls nach [3] angegeben.

### 4. Analyse und Diskussion

In Abb. 4 ist das verwendete Standard Prinzip des ESD Schutzes der Ein/Ausgänge und der Versorgungs dargestellt. Es handelt sich um einen globalen ESD Schutz, bzw. um einen indirekten ESD Schutz der Ein/Ausgänge, da über die Dioden der ESD Strom über die Power Clamp zwischen VDD VSS abgeleitet wird.

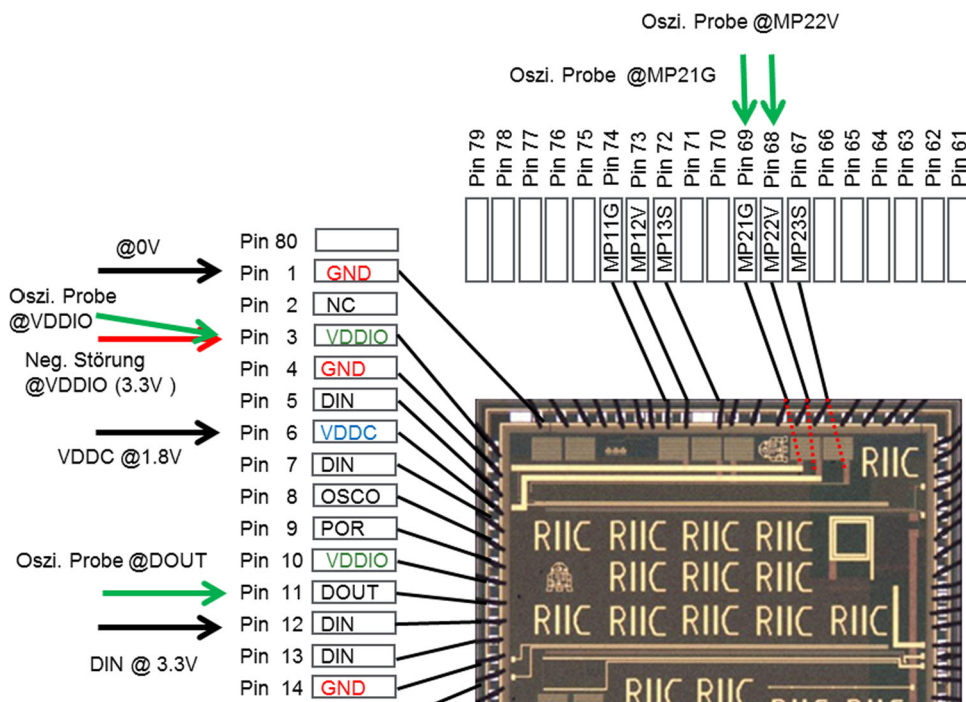


Abb. 5. Setup für die Messung des Einflusses einer negativen Störung auf die VDDIO-Versorgung

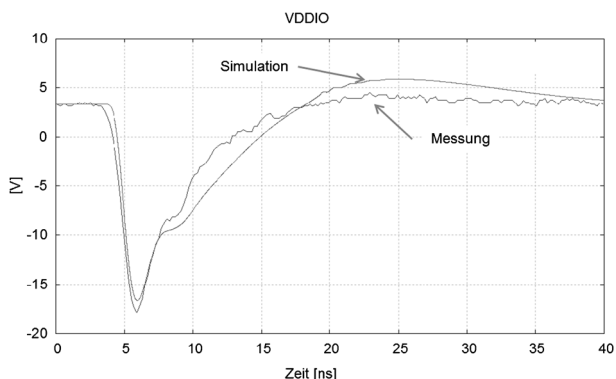


Abb. 6. Vergleich Messung und Simulation der gestörten VDDIO-Spannung direkt am Pin

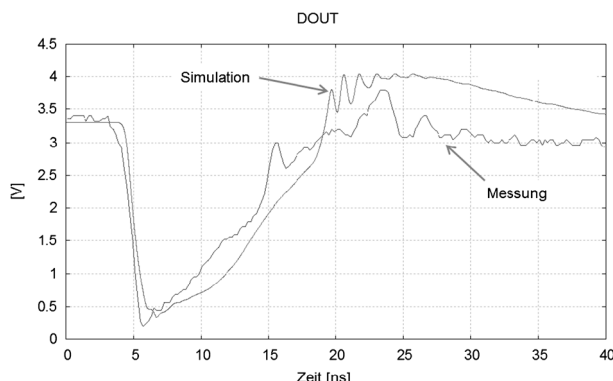


Abb. 7. Vergleich Messung und Simulation der gestörten Ausgangsspannung DOUT (negative Störung von VDDIO, DIN @ 3.3 V)

#### 4.1 Negative Störung von VDDIO

In Abb. 5 ist das Setup für die Messung des Einflusses der negativen Störung auf der VDDIO Versorgung dargestellt. Abbildung 6 zeigt das gestörte VDDIO Signal, direkt gemessen am Pin des Gehäuses. Dargestellt ist der Vergleich zwischen Messung und Simulation.

Abbildung 7 zeigt den Vergleich zwischen gemessener und simulierter Ausgangsspannung am Pin DOUT des Test ASIC. Im ASIC ist die Eingangs-Padzelle am Pin DIN mit ihrem Ausgang direkt über eine Metallleitung mit dem Eingang der Ausgangs-Padzelle am PIN DOUT verbunden (Abb. 5). Da DIN für die Messung konstant mit „ungestörtem“ VDDIO Potential von 3.3 V verbunden ist, müsste DOUT ebenfalls „ungestört“ VDDIO sein. Aufgrund der am VDDIO Pin des Test ASIC eingebrachten Störung wechselt das Signal von DOUT für eine gewisse Zeit von High auf Low und stellt damit einen „Soft Failure“ am Signal DOUT dar (Abb. 7). Die Ursache hierfür liegt im Padframe des Test ASIC. Alle Padzellen der linken „gestörten“ Seite, sind über die Versorgungsleitungen mit VDDIO, VDD Core und

Ground verbunden. Aufgrund der Treiberschaltungen (hier mehrere Inverter) in den Eingangs- und Ausgangs-Padzellen, sowie der Di-odenschutzstrukturen kommt es zu einer direkten Einkopplung der Störung von VDDIO auf das Signal in der DIN Zelle und der DOUT Zelle. Bei einer rein analogen Padzelle ohne Treiberschaltung kommt es ebenfalls aufgrund der Schutzstrukturen gegen „Hard Failures“ zu einer Einkopplung und damit Störung des Signals.

Die Entscheidung, ob ein „Soft Failure“ (Bit „kippt“) vorliegt, hängt von der zeitlichen „Breite“ der Störung und der jeweiligen Technologie (Inertial Delay der Gatter) ab. In der Simulation kann dies u.a. über ein (asynchrones) RS-Latch automatisiert detektiert werden.

#### 4.2 Positive Störung von VDDC

In Abb. 8 ist das Setup für die Messung des Einflusses der positiven Störung auf die VDDC Versorgung dargestellt. VDDC ist die Versorgung des inneren Bereiches des ASIC („Core“-Bereich). Die Versor-

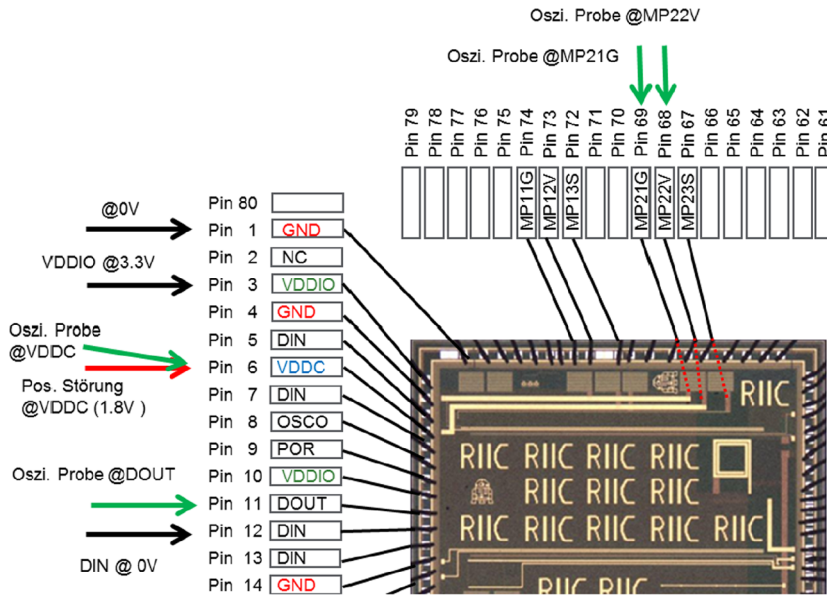


Abb. 8. Setup für die Messung des Einflusses einer positiven Störung auf die VDDC-Versorgung

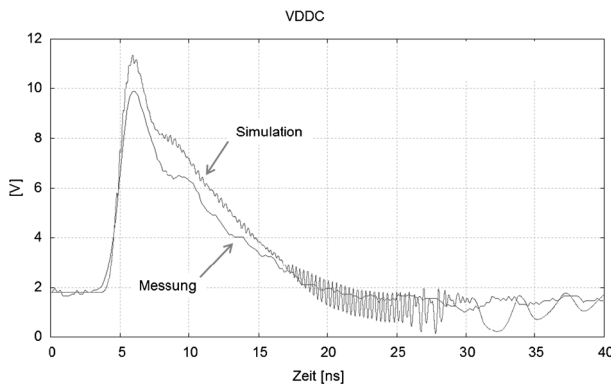


Abb. 9. Vergleich Messung und Simulation der gestörten VDDC-Spannung direkt am Pin

gangsspannung VDDC wird jedoch auch in den Padzellen für die Levelshifter Schaltungen benötigt. Abbildung 9 zeigt das gestörte VDDC Signal, direkt gemessen am Pin des Gehäuses. Dargestellt ist wiederum der Vergleich zwischen Messung und Simulation.

Über eine Leitung auf der obersten Metall-Ebene im ASIC ist das VDDC Signal der rechten „gestörten“ Seite mit Messpunkten auf der oberen „ungestörten“ Seite des Test ASIC in Abb. 8 verbunden. In Abb. 10 ist das VDDC Signal am Messpunkt (Signal MP22V in Abb. 8) der oberen Seite des ASIC dargestellt. Zum Vergleich sind das gemessene Signal und das simulierte Signal angegeben.

Die Trennung des „gestörten“ vom „ungestörten“ Padframe-Bereiches ist durch spezielle Padzellen realisiert, bei denen die Versorgungsleitungen VDDIO, VDDC aufgetrennt und die GND Leitungen über antiparallele Dioden verbunden sind. Aufgrund der antiparallelen Dioden und der Substratwiderstände kommt es zwar zu einer weiteren Kopplung, diese ist aber für die hier vorliegenden Betrachtungen und die Gültigkeit der Aussagen vernachlässigbar. Die Padzellen für die Messpunkte sind so ausgelegt, dass es zu möglichst keiner Beeinflussung des zu messenden Signales kommt, insbesondere sind keine ESD Schutzelemente vorhanden.

Abbildung 11 zeigt das DOUT Signal, das zugehörige DIN Signal ist bei dieser Messung mit „ungestörtem“ GND (0V) verbunden.

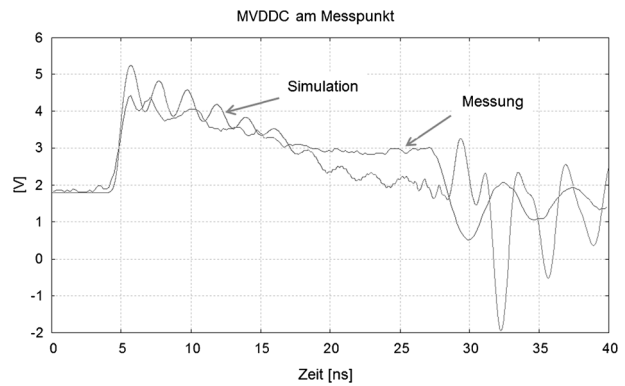


Abb. 10. Vergleich Messung und Simulation der gestörten VDDC-Spannung, gemessen am Messpunkt MP22V auf der oberen Seite des Test-ASIC in Abb. 8

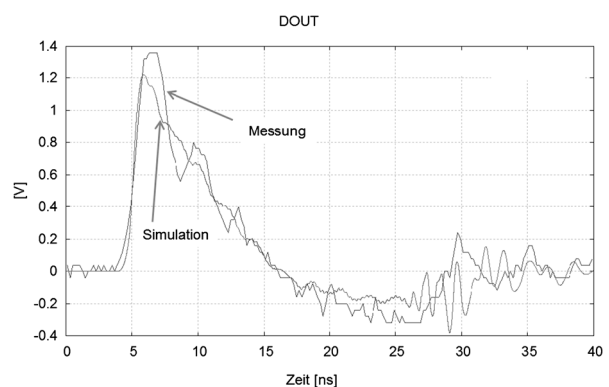


Abb. 11. Vergleich Messung und Simulation der gestörten Ausgangsspannung DOUT (positive Störung von VDDC)

Ohne Störung des Signalverlaufes müsste somit DOUT konstant 0 V sein. Wie in Abb. 11 zu sehen ist, kommt es aufgrund der Störung von VDDC zu einer Störung von DOUT. Die Ursache hierfür liegt in den Levelshifter Schaltungen in den Padzellen, da es hier

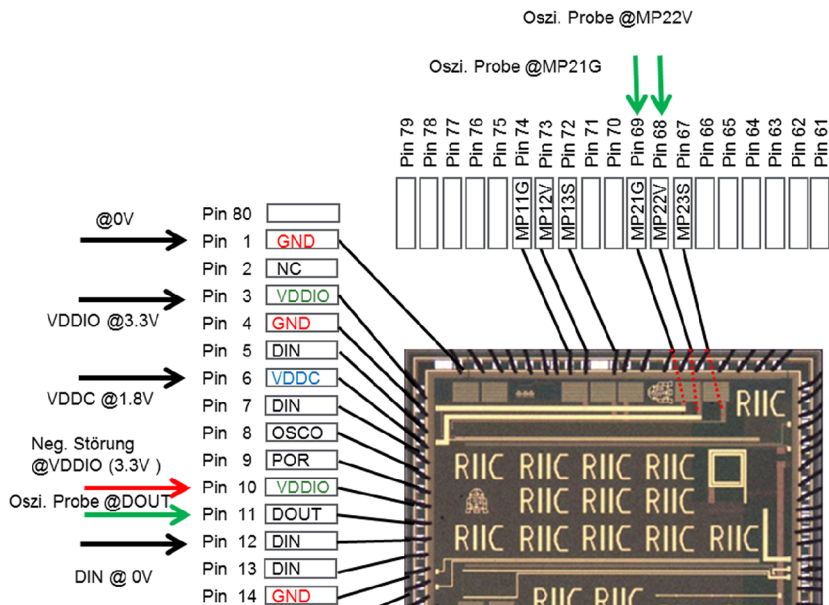


Abb. 12. Setup für die Messung des Einflusses einer negativen Störung auf die VDDIO-Versorgung

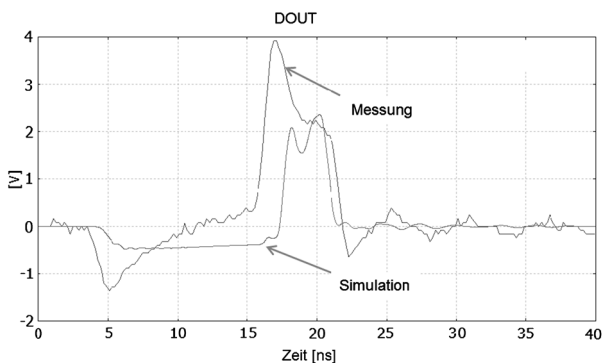


Abb. 13. Vergleich Messung und Simulation der gestörten Ausgangsspannung DOUT (negative Störung von VDDIO, DIN 0 V)

direkt über den Source und Bulk Anschluss der PMOS-Transistoren zu einem Koppelweg zwischen Versorgung im Padframe und dem Ein/Ausgangssignal (Datensignal) kommt.

Die Levelshifter werden jedoch für die Umsetzung der IO Signale (VDDIO) auf die Core Signale (VDDC) und umgekehrt benötigt. Abhängig von der Höhe der Störung von VDDC kommt es zu einem entsprechenden Signalanstieg von DOUT in Abb. 11 und damit zu einem möglichen „Soft Failure“ (bei entsprechenden Pegel) von Low zu High.

### 4.3 Negative Störung von VDDIO (DIN 0 V)

In Abb. 12 ist nochmals das Test Setup zur Messung des Einflusses einer negativen Störung von VDDIO angegeben, jedoch zum Vergleich zur Messung in Abb. 5, ist DIN 0 V und es wird das VDDIO Pad Signal nahe der Pad Kombination DOUT/DIN gestört. Hierdurch ist die Störampplitude entsprechend größer.

Abbildung 13 zeigt das gemessene und simulierte Ausgangssignal DOUT. Es kommt zu einer verzögerten Störung von Low auf High und zurück auf Low („Soft Failure“) in DOUT, die sowohl in der Messung als auch Simulation sichtbar ist. Der Grund für diese Störung liegt in der Treiberschaltung der Ausgangs-Padzelle. Bei einem DOUT Signal auf Low, sperrt im Normalbetrieb der PMOS Tran-

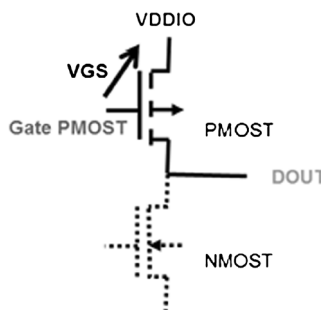


Abb. 14. Spannungen am PMOST in der DOUT-Treiberzelle

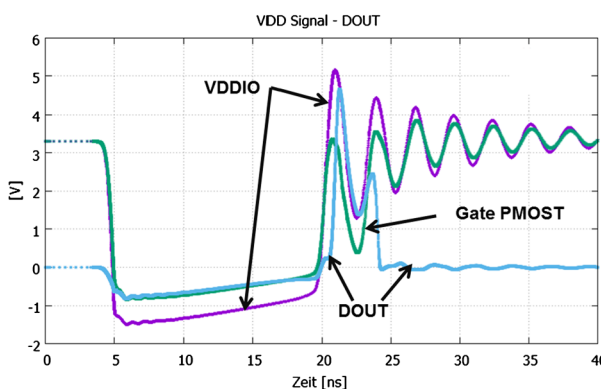


Abb. 15. Simulationsergebnis der Spannungen am PMOST in der DOUT-Treiberzelle

sistor (PMOST in Abb. 14), da sowohl das Gate als auch der Source Anschluss auf High Potential liegen. Dadurch ist VGS 0 V und der PMOST sperrt. Aufgrund von verschiedenen Leitungsimpedanzen kommt es durch die ESD Störung auf VDDIO zu einem unterschiedlichen Signal für Gate und für Source des PMOST (Signal Gate PMOST und VDDIO in Abb. 15). Hierdurch wird VGS negativ und der PMOST temporär leitend. Als Folge wechselt das Signal von Low zu High und Low am Ausgang der Padzelle DOUT.

## 5. Zusammenfassung

Bei einer Störeinkopplung aufgrund eines ESD Ereignisses auf die Versorgungspins eines ICs kommt es zu einer entsprechenden Verteilung (Weiterleitung) der Störsignale über die Versorgungsleitungen (VDDIO, VDDC und GND) im Padframe. Hierdurch kommt es zu entsprechenden Einkopplungen auf die Signale der IO Padzellen. Einerseits direkt durch die Versorgung der Treiberstufen, andererseits durch vorhandene ESD Schutzstrukturen, wie Dioden. Durch die Einkopplung auf die IO Signale kann es zu „Soft Failures“ kommen. Durch die derzeitige „Standard“ Topologie der Padzellen lässt sich diese Kopplung nicht vermeiden und muss entsprechend bei der Funktion der Schaltung berücksichtigt werden. Es sind daher eine sorgfältige Schaltungsbeschreibung (Modellierung) und entsprechende Simulation notwendig, um den Einfluss auf die Funktion zu beurteilen.

Eine weitere Schwachstelle für Einkopplungen ist der Levelshifter, der bei verschiedenen Versorgungsspannungen für IO und Core Bereich benötigt wird.

Weiters kann es in Eingangs- und Ausgangszellen zu Problemen in den Treiberstufen kommen, wenn Versorgungssignale teilweise verzögert werden und daher der MOSFET temporär leitend werden.

## Danksagung

Open access funding provided by Johannes Kepler University Linz.

## Autor



### Timm Ostermann

studierte Elektrotechnik an der Technischen Universität Hamburg Harburg (Diplom 1993). Seit Dezember 1993 ist Timm Ostermann Mitarbeiter am Institut für Integrierte Schaltungen (bzw. der Vorgängerabteilung Mikroelektronische Systeme am Institut für Systemwissenschaften) der Johannes Kepler Universität Linz, Österreich (Dissertation 1999, Habilitation 2004). Seine Forschungsarbeiten

**Open Access** This article is distributed under the terms of the Creative Commons Attribution 4.0 International License (<http://creativecommons.org/licenses/by/4.0/>), which permits unrestricted use, distribution, and reproduction in any medium, provided you give appropriate credit to the original author(s) and the source, provide a link to the Creative Commons license, and indicate if changes were made.

## Literatur

1. Industry Council on ESD Target Levels (2010): White Paper 3, System Level ESD, Part I: Common Misconceptions and Recommended Basic Approaches.
2. Thomson, N. A., Xiu, Y., Rosenbaum, E. (2017): Soft-Failures Induced by System-Level ESD. *IEEE Transactions on Device and Materials Reliability*, 17(1).
3. ANSI/ESDA/JEDEC JS-001-2017, For Electrostatic Discharge Sensitivity Testing Human Body Model (HBM) – Component Level.
4. ANSI/ESDA/JEDEC JS-002-2014, For Electrostatic Discharge Sensitivity Testing Charged Device Model (CDM) – Device Level.
5. Gossner, H., Esmark, L., Stadler, W. (2003): *Advanced Simulation Methods for ESD Protection Development*. Amsterdam: Elsevier.
6. Koch, S., Gossner, H., Gieser, H., Maurer, L. (2015): ESD performance evaluation of powered high-speed interfaces. In *IEEE Intern. Symposium on Electromagnetic Compatibility (EMC)* (S. 1101–1105).
7. Schwingshackl, T., Orr, B., Willemsen, J., Simbürger, W., Gossner, H., Bösch, W., Pommerenke, D. (2013): Powered System-Level Conductive TLP Probing Method for ESD/EMI Hard Fail and Soft Fail Threshold Evaluation. in *EOS/ESD Symposium* (S. 1–8).

beinhalten u. a. Themen wie die Charakterisierung von SiGe-MODFETs und organische Transistoren sowie organische Solarzellen, den Entwurf von integrierten Schaltungen im Bereich analog, RF, gemischt analog-digital. Sein besonderer Schwerpunkt liegt im Bereich des Entwurfs robuster integrierter Schaltungen und hier u. a. im Bereich der EMV und ESD von ICs. Timm Ostermann ist Autor und Co-Autor von über 120 Beiträgen in Journalen und bei internationalen Konferenzen.